

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-213481

(43)公開日 平成8年(1996)8月20日

(51)Int.Cl.

H 01 L 21/8238
27/092
29/78

識別記号

序内整理番号

F I

技術表示箇所

H 01 L 27/08 321 D
29/78 301 G

審査請求 未請求 請求項の数9 OL (全5頁)

(21)出願番号 特願平7-287645

(22)出願日 平成7年(1995)11月6日

(31)優先権主張番号 1994P29185

(32)優先日 1994年11月8日

(33)優先権主張国 韓国(KR)

(71)出願人 593160415

ヒュンダイ エレクトロニクス インダストリーズ カンパニー リミテッド
大韓民国 467-860 キヨウンキド イチ
ヨンクン ブバリュブ アミーリ サン
136-1

(72)発明者 ヒョンスー キム

大韓民国 467-860 キヨウンキド イチ
ヨンクン ブバリュブ アミーリ サン
136-1 ヒュンダイ エレクトロニクス
インダストリーズ カンパニー リミテッド内

(74)代理人 弁理士 長谷 照一 (外2名)

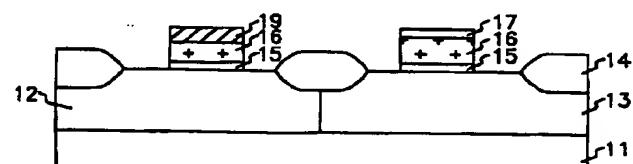
最終頁に続く

(54)【発明の名称】 CMOSデバイスのゲート電極の形成方法

(57)【要約】

【課題】 CMOSデバイスにおいて、その劣化やストレス発生を少なくし、デバイスの信頼性および歩留まりを向上させる。

【解決手段】 CMOSデバイスのゲート電極を形成するに際し、第1段階として半導体基板(1.1)の上にゲート絶縁膜(1.5)、第1電導膜(1.6)、保護膜(1.7)を順次に形成し、第2段階として上記保護膜中PMOSトランジスタが形成される部位の保護膜をエッチング除去し、第3段階として以上の全体構造の上に第2電導膜(1.9)を形成した後、上記保護膜の一部を除去し、第4段階としてゲート電極用マスクパターンを利用して上記第2電導膜、保護膜、第1電導膜、ゲート絶縁膜をパターンングする。



1.1…シリコン基板

1.2…Nウェル

1.3…Pウェル

1.4…フィールド酸化膜

1.5…ゲート酸化膜

1.6…ポリシリコン膜

1.7…酸化膜

1.9…シリサイド膜

1

【特許請求の範囲】

【請求項1】 CMOSデバイスのゲート電極の形成方法であって、

半導体基板の上にゲート絶縁膜、第1電導膜、保護膜を順次に形成する第1段階と、

上記保護膜中PMOSトランジスタが形成される部位の保護膜を除去する第2段階と、

以上の全体構造の上に第2電導膜を形成した後、上記保護膜の上の第2電導膜を除去し、さらに上記保護膜の一部を除去する第3段階と、

ゲート電極用マスクパターンを利用して上記第2電導膜、保護膜、第1電導膜、ゲート絶縁膜をパターニングする第4段階とを含んでなることを特徴とする方法。

【請求項2】 請求項1に記載のゲート電極の形成方法において、

上記第1電導膜がポリシリコン膜で構成されることを特徴とする方法。

【請求項3】 請求項1に記載のゲート電極の形成方法において、

上記第2電導膜がシリサイド膜で構成されることを特徴とする方法。

【請求項4】 請求項1に記載のゲート電極の形成方法において、

上記第2段階を遂行した後に、露出された上記第1電導膜の一部の厚さをエッチング除去する第5段階を含んで遂行し、その後に上記第3段階を遂行することを特徴とする方法。

【請求項5】 請求項1に記載のゲート電極の形成方法において、

上記第3段階において、上記保護膜の残される部分の表面の高さが上記第2電導膜の表面の高さと同じになるように上記保護膜の一部の厚さを除去することを特徴とする方法。

【請求項6】 請求項1に記載のゲート電極の形成方法において、

上記第3段階を遂行した後に、NMOSトランジスタ領域には5価の不純物をイオン注入しPMOSトランジスタ領域には3価の不純物をイオン注入する第6段階を含んで遂行し、その後に上記第4段階を遂行することを特徴とする方法。

【請求項7】 請求項1に記載のゲート電極の形成方法において、

上記保護膜を上記第2電導膜より厚く形成することを特徴とする方法。

【請求項8】 請求項1に記載のゲート電極の形成方法において、

上記保護膜上の第2電導膜および上記保護膜を保護膜エッチング剤を使用して除去することを特徴とする方法。

【請求項9】 請求項1に記載のゲート電極の形成方法において、

2

上記保護膜が酸化膜であることを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体デバイスのゲート電極の形成方法に関するもので、特にCMOS(相補形MOS)デバイスに使用されるNMOS(NチャレンネルMOS)トランジスタおよびPMOS(PチャレンネルMOS)トランジスタのゲート電極の形成方法に関する。

【0002】

【従来の技術】一般に、CMOSデバイスは、極性が互いに異なるNMOSトランジスタとPMOSトランジスタを組み合わせて動作させる半導体デバイスの一種であり、小消費電力のデバイスとして広く利用されており、NMOSトランジスタおよびPMOSトランジスタの各ゲート電極としては、その形成方法によりポリシリコン電極、シリサイド電極、ポリサイド電極などいろいろあり、この中のいずれでゲート電極を形成するかにより、CMOSデバイス全体としての特性に大きい影響を与えるが、電気電導性および安定性の優秀なポリサイドゲート電極が主として使用してきた。

【0003】従来技術によるCMOSデバイスは、図6に示すような断面構造を有しており、使用されるNMOSトランジスタおよびPMOSトランジスタは、シリコン基板1、Nウェル2、Pウェル3、フィールド酸化膜4、ゲート酸化膜5、ポリシリコン膜6、シリサイド膜7を含んで成っている。

【0004】図示のように、従来のCMOSデバイスは、ツインタブ(twin-tub)構造をしており、これに使用されるゲート電極は、シリコン基板1にNウェル2およびPウェル3のツインタブとフィールド酸化膜4を形成した後、これら全体構造の上にゲート酸化膜5、ポリシリコン膜6、シリサイド膜7を順次に形成し、その後ゲート電極のためのパターニングを実施して最終のポリサイド(ポリシリコン膜6+シリサイド膜7)ゲート電極を形成している。すなわち、従来のCMOSデバイスに使用されるNMOSトランジスタおよびPMOSトランジスタの両方のゲート電極は、全て同じポリサイド電極で形成されている。

【0005】

【発明が解決しようとする課題】しかし、そのようにPMOSおよびNMOSの両方のゲートを同じポリサイドに形成する従来の技術は、後続の工程においてシリサイド膜が多量のストレスを発生させ、シリサイド膜内に含まれた不純物がゲート酸化膜へ移動してゲート酸化膜の特性を劣化させ、もって全体CMOSデバイスの信頼性および歩留りを低下させる問題点があった。

【0006】したがって、上記問題点を解決するために案出したこの発明は、シリサイド膜によるデバイスの劣化およびストレスの発生をCMOSを構成するPMOS

にだけ局限させ、CMOSデバイスの信頼性および歩留りを向上させるCMOSデバイスのゲート電極の形成方法を提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するために、この発明は、CMOSデバイスのゲート電極の形成方法において、半導体基板の上にゲート絶縁膜、第1電導膜、保護膜を順次に形成する第1段階と、上記保護膜中PMOSトランジスタが形成される部位の保護膜をエッティング除去する第2段階と、以上の全体構造の上に第2電導膜を形成した後、上記保護膜の上の第2電導膜を除去し、さらに上記保護膜の一部を除去する第3段階と、ゲート電極用マスクパターンを利用して上記第2電導膜、保護膜、第1電導膜、ゲート絶縁膜をパターニングする第4段階とを含んでなることを特徴とするものである。

【0008】

【発明の実施の形態】以下、添付された図面の図1～5を参照してこの発明の実施態様を詳細に説明する。図1～5は、この発明によるツインタブ構造のCMOSデバイスのゲート電極を形成する工程における半導体デバイスの断面を示すもので、図面において、11はシリコン基板、12はNウェル、13はPウェル、14はフィールド酸化膜、15はゲート酸化膜、16はポリシリコン膜、17は酸化膜、18は感光膜、19はシリサイド膜をそれぞれ示す。

【0009】この発明において、CMOSデバイスのゲート電極として、図示のようにNMOSトランジスタのゲート電極はポリシリコンで形成し、PMOSトランジスタのゲート電極はポリサイドで形成するのであるが、そのためには、まず、図1のように、シリコン基板11の上にNウェル12、Pウェル13、フィールド酸化膜14を形成した後、以上の全体構造の上にゲート酸化膜15、ポリシリコン膜16、酸化膜17を順次に形成する。この際、上記酸化膜17は以後蒸着されるシリサイド膜より厚く形成しなければならない。

【0010】次いで、図2に示されるように、Nウェル12側のPMOSトランジスタが形成される部位（特に、そのゲート電極が形成される部位）を除外した全ての部位に感光膜18のパターンを形成した後、この感光膜18のパターンを利用して露出部位の酸化膜17をエッティング除去し、さらにポリシリコン膜16の一部の厚さをエッティング除去する。

【0011】続いて、図3に示されるように、感光膜18を除去して、これらの全体構造の上にシリサイド膜19を形成すると、PMOS領域のポリシリコン膜16の上に形成されるシリサイド膜19は安定的に蒸着されるが、Pウェル側のNMOS領域の酸化膜17の上に形成されるシリサイド膜19はそのストレスにより裂けたり離れたりして浮き上がる。

【0012】ここで、図4に示されるように、酸化膜17のエッティング剤を利用して湿式エッティングを行うと、NMOSトランジスタ領域のシリサイド膜19は全て除去され、酸化膜17も一部の厚さが除去される。この時、上記酸化膜17は、PMOSトランジスタのゲート電極となるシリサイド膜19の高さと合うために、その一部の厚さが残ることになり、これにより後続の平坦化の工程が容易になる。

【0013】次いで、Pウェル13側のNMOSトランジスタ領域にはリン(P)を、PMOSトランジスタ領域には硼素(B)をそれぞれイオン注入して、ポリシリコン膜16の電気電導性を向上させる。

【0014】最後に、図5に示されるように、ゲート電極用パターンを利用してシリサイド膜19、酸化膜17、ポリシリコン膜16、ゲート酸化膜15を順次にパターニングして、最終ゲート電極をそれぞれ形成する。

【0015】したがって、キャリヤ移動度が低いPMOSトランジスタ領域には電気電導度が優秀なポリサイドゲート電極が、キャリヤ移動度が良好なNMOSトランジスタ領域には電気電導度がポリサイドよりは低いが安定度が優秀なポリシリコンゲート電極が、それぞれ形成されることにより、シリサイド膜による影響を小さくすることができる。

【0016】この場合、酸化膜17は、上述のようにその一部の厚さが残っていてもいいし、または全て除去されてもいい。ただし、酸化膜17を全て除去する場合には、上記図2の工程においてポリシリコン膜16を上述の実施態様の場合に比べてより多い厚さ除去すると、後続の平坦化の工程が簡単になる。

【0017】

【発明の効果】以上説明したように、この発明によれば、NMOSトランジスタのゲート電極はポリシリコンで、PMOSトランジスタのゲート電極はポリサイドで形成するのであるが、半分でもポリシリコン電極を採用することにより、シリサイド膜による素子の劣化およびストレス発生の可能性を減少させ、CMOSデバイスの信頼性および歩留りを向上させる特有の効果がある。

【0018】また、この発明では、PMOSトランジスタのゲート電極にはポリサイド構造とするためにシリサイド膜を使用しなければならないが、これはPMOSトランジスタのキャリヤが正孔であって、正孔のキャリヤ移動度がNMOSトランジスタにおける電子のキャリヤ移動度より低いので、このキャリヤ移動度の低いPMOSトランジスタのゲート電極を電気電導度が優秀なポリサイド構造とすることにより、NMOSトランジスタとPMOSトランジスタの動作速度をほぼ合わせることができ、CMOSデバイスとして大いに意義のあることである。

【図面の簡単な説明】

【図1】この発明によるCMOSデバイスのゲート電

5

極を形成する工程における半導体デバイスの断面図である。

【図2】 この発明によるCMOSデバイスのゲート電極を形成する工程における半導体デバイスの断面図である。

【図3】 この発明によるCMOSデバイスのゲート電極を形成する工程における半導体デバイスの断面図である。

【図4】 この発明によるCMOSデバイスのゲート電極を形成する工程における半導体デバイスの断面図である。

【図5】 この発明によるCMOSデバイスのゲート電極を形成する工程における半導体デバイスの断面図である。

6

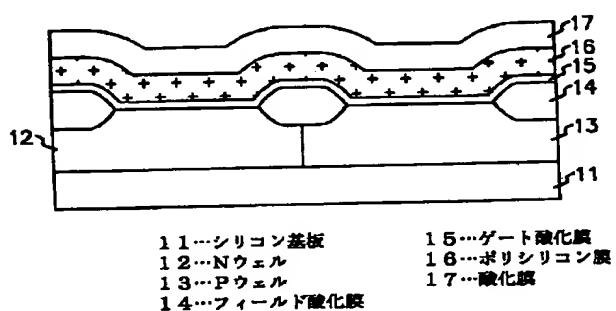
*極を形成する工程における半導体デバイスの断面図である。

【図6】 従来技術によるCMOSデバイスのゲート電極の様相を示す半導体デバイスの断面図である。

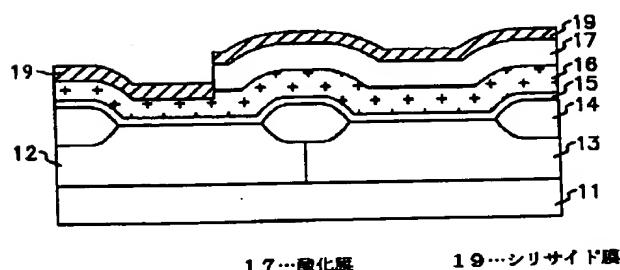
【符号の説明】

1…シリコン基板、2…Nウェル、3…Pウェル、4…フィールド酸化膜、5…ゲート酸化膜、6…ポリシリコン膜、7…シリサイド膜、11…シリコン基板、12…Nウェル、13…Pウェル、14…フィールド酸化膜、15…ゲート酸化膜、16…ポリシリコン膜、17…酸化膜、18…感光膜、19…シリサイド膜。

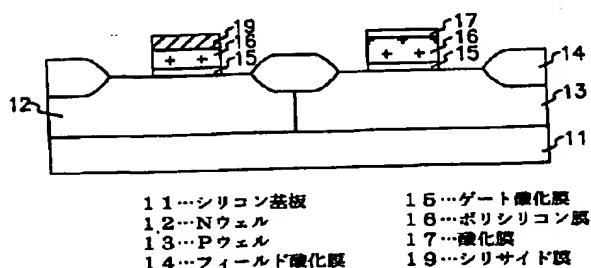
【図1】



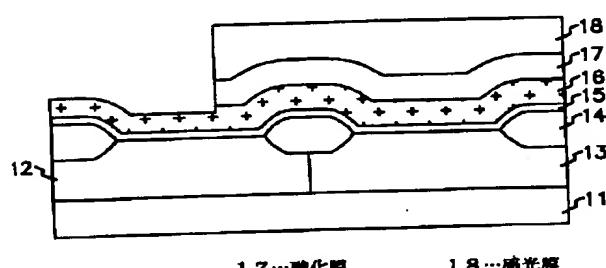
【図3】



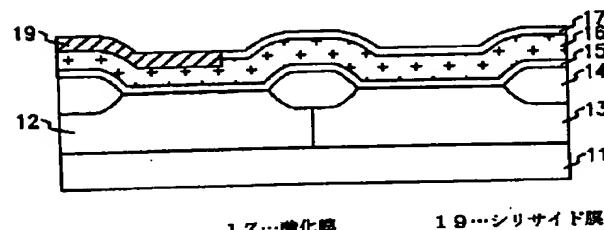
【図5】



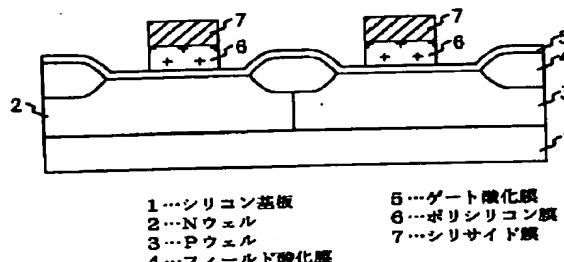
【図2】



【図4】



【図6】



フロントページの続き

(72)発明者 チュングファン イ

大韓民国 467-860 キョウンキド イチ
ヨンクン ブバリュブ アミーリ サン
136-1 ヒュンダイ エレクトロニクス
インダストリイズ カンパニー リミテ
ッド内

THIS PAGE BLANK (USPTO)